

Федеральное агентство по образованию  
Восточно – Сибирский государственный технологический  
университет

## СУММАТОРЫ

Методические указания к выполнению лабораторных работ  
по дисциплине «Теория проектирования ЭВМ» для  
специальности 230101 «Вычислительные машины,  
комплексы, системы и сети»

**Базарова С.Б.-М.,  
Мантатов Б.В.**

Издательство ВСГТУ  
Улан-Удэ - 2006

Базарова С. Б.-М., Мантатов Б.В.: Сумматоры:  
Методические указания к лабораторной работе – 2 изд.,  
перераб. и доп. – ВСГТУ. – Улан-Удэ 2006. – 29 с.

В методических указаниях к лабораторной работе предложена методика разработки вариантов схем параллельных сумматоров с различными цепями организации переносов.

В теоретической части указаний проведен анализ и синтез схем сумматоров, выведены аналитические формулы для организации параллельных переносов в параллельных сумматорах. Приведены схемы параллельных сумматоров с различной организацией переносов.

Разработка схем сумматоров с различной организацией переносов позволяет студентам овладеть методикой проектирования устройств ЭВМ. Выбор оптимальной схемы сумматора проводится путем анализа вариантов схем по быстродействию и сложности.

Методические указания предназначены для студентов специальности 230101 «Вычислительные машины, комплексы, системы и сети»

Рецензент Хаптаев А.П., зав.каф. АЭПП, доц., к.т.н.

Ключевые слова: сумматор, сумма, перенос, схемная реализация сумматора, оценка сложности схемы сумматора, оценка быстродействия сумматора.

# ОЦЕНКА СЛОЖНОСТИ И БЫСТРОДЕЙСТВИЯ СУММАТОРОВ

## 1. Цель работы

1. Изучить различные типы сумматоров и различные типы организации переносов в многоразрядных сумматорах.
2. Получить навыки проектирования многоразрядных сумматоров с различными цепями переноса.
3. Провести анализ вариантов структур с целью выбора оптимальной структуры.

## 2. Классификация сумматоров

Арифметические сумматоры выполняют операцию сложения слов. В соответствии с правилами двоичной арифметики сложение двух  $n$  – разрядных чисел  $A = a_0a_1...a_{n-1}$  и  $B = b_0b_1...b_{n-1}$  сводится к вычислению поразрядной суммы  $S = s_0s_1...s_{n-1}$  с учётом переносов.

На рис. 1 приведена классификация арифметических сумматоров.

По числу входов различают полусумматоры, одноразрядные и многоразрядные сумматоры.

Полусумматоры реализуют сложение разрядов  $a_i$  и  $b_i$  без учёта переносов.



Рисунок 1 - Классификация сумматоров

Одноразрядные сумматоры выполняют сложение слагаемых одного разряда с учётом переноса из младшего разряда.

Многоразрядные сумматоры выполняют сложение  $n$  – разрядных слагаемых  $A$  и  $B$  с учётом переноса.

Многоразрядные сумматоры делятся на последовательные, в которых обработка данных ведётся поочерёдно разряд за разрядом на одном и том же оборудовании, и параллельные, в которых слагаемые обрабатываются одновременно по всем разрядам и для каждого разряда имеется своё оборудование.

По способу организации межразрядных переносов параллельные сумматоры подразделяются на схемы с последовательным переносом, с параллельным переносом и с групповой структурой. В последних разрядная сетка поделена на поля, обрабатываемые группами разрядных схем. В группах и между ними могут применяться разные способы переносов, причём в наименованиях сумматоров вначале указывается вид переноса внутри группы.

В зависимости от способа построения суммирующих схем различают комбинационные и накапливающие сумматоры. Комбинационные сумматоры не содержат запоминающих элементов и реализуют операцию сложения в виде  $S := A + B$ . Накапливающие сумматоры содержат регистр, в котором аккумулируют результат суммирования. Накапливающие сумматоры реализуют операцию сложения в виде  $S := S + A$ .

По способу тактирования различают синхронные и асинхронные сумматоры. Синхронные сумматоры имеют постоянное время, отводимое для суммирования, независимо от значения слагаемых. В асинхронных сумматорах вырабатывается признак завершения операции. При этом среднее время суммирования уменьшается.

В зависимости от системы счисления различают двоичные, двоично-десятичные и другие сумматоры.

## 2.1 Полусумматоры

Полусумматорами называют устройство с двумя входами и двумя выходами, на которых вырабатываются сигналы суммы и переноса согласно формулам:

$$s_i = a_i \vee b_i, \quad p_i = a_i * b_i,$$

где  $a_i, b_i$  – разряды слагаемых  $A$  и  $B$ ;

$s_i$  – сумма по данному разряду;

$p_i$  – перенос по данному разряду.

Полусумматор реализует лишь часть задачи суммирования, так как не учитывает входной величины – переноса из младшего разряда.

## 2.2 Одноразрядные сумматоры

Одноразрядные сумматоры имеют три входа и два выхода и обеспечивают сложение разрядов слагаемых  $a_i$  и  $b_i$  с переносом из предыдущего разряда  $p_{i-1}$ .

Таблица истинности сумматора, реализующего сложение трёх входных величин приведена в табл. 1.

Таблица 1

Входы			Выходы	
$a_i$	$b_i$	$p_{i-1}$	$s_i$	$p_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Согласно таблице истинности одноразрядного сумматора, значения суммы  $s_i$  и переноса  $p_i$  имеют следующие канонические дизъюнктивные формы

$$s_i = \bar{a}_i * \bar{b}_i * p_{i-1} \vee \bar{a}_i * b_i * \bar{p}_{i-1} \vee a_i * \bar{b}_i * \bar{p}_{i-1} \vee a_i * b_i * p_{i-1}, \quad (1)$$

$$p_i = \bar{a}_i * b_i * p_{i-1} \vee a_i * \bar{b}_i * p_{i-1} \vee a_i * b_i * \bar{p}_{i-1} \vee a_i * b_i * p_{i-1}. \quad (2)$$

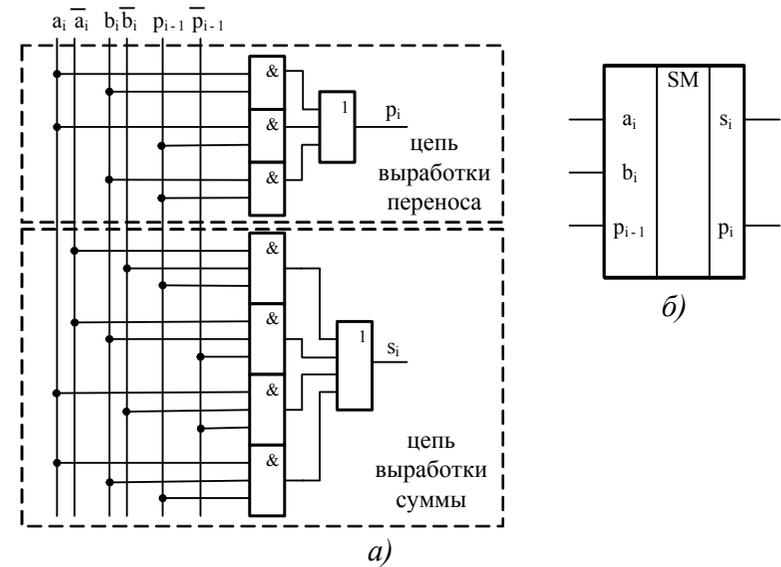
Выражение (1) для суммы  $s_i$  является минимальным.

Функцию переноса  $p_i$  можно минимизировать. После минимизации функцию переноса можно записать в виде

$$p_i = a_i * b_i \vee a_i * p_{i-1} \vee b_i * p_{i-1}. \quad (3)$$

Согласно полученным выражениям (1) и (3), реализуем схему одноразрядного сумматора (рис. 2а). Данный сумматор относится к классу комбинационных

сумматоров. На рис. 2б показано условное графическое обозначение сумматора.



а - схемная реализация; б - условное графическое обозначение

Рисунок 2 – Одноразрядный сумматор

Для оценки затрат оборудования применяется оценка сложности по Квайну, определяемая числом входов всех элементов схемы.

Оценим сложность по Квайну цепи выработки переноса  $Q_p$  и сложность по Квайну цепи выработки суммы  $Q_s$ .

В цепи выработки переноса используются три двухвходовых элемента «И» и один трёхвходовый элемент «ИЛИ», поэтому  $Q_p = 9$ .

В цепи выработки суммы используются четыре трёхвходовых элемента «И» и один четырёхвходовый элемент «ИЛИ», поэтому сложность такой схемы будет

$$Q_s = 16.$$

Сложность по Квайну схемы сумматора состоит из сложности цепи выработки переноса  $Q_p$  и сложности цепи выработки суммы  $Q_s$ .

Сложность одноразрядного сумматора (рис. 2а) будет равна  $Q_{sm} = Q_p + Q_s = 9 + 16 = 25$ .

Определим быстродействие данного сумматора. Перенос  $p_i$  и сумма  $s_i$  в данной схеме будут вырабатываться одновременно за время, равное двум задержкам используемых логических элементов. Время выработки выходных величин –  $t_{sm}$  этой схемы составит

$$t_{sm} = t_p = t_s = 2 \cdot t_{зад.лэ},$$

где  $t_p$  – время выработки переноса  $p$ ,  $t_p = 2 \cdot t_{зад.лэ}$ ;

$t_s$  – время выработки суммы  $s$ ,  $t_s = 2 \cdot t_{зад.лэ}$ ;

$t_{зад.лэ}$  – задержка логического элемента.

Так как выражение (1) для суммы  $s_i$  не минимизируется, то проведём некоторые допущения. Допустим, что перенос  $p_i$  – входная величина (согласно выражению (3)). Модифицируем таблицу истинности работы сумматора (табл. 2).

Таблица 2

Входы				Выход
$a_i$	$b_i$	$p_{i-1}$	$p_i$	$s_i$
0	0	0	0	0
0	0	0	1	x
0	0	1	0	1
0	0	1	1	x
0	1	0	0	1
0	1	0	1	x
0	1	1	0	x
0	1	1	1	0
1	0	0	0	1
1	0	0	1	x
1	0	1	0	x
1	0	1	1	0
1	1	0	0	x
1	1	0	1	0
1	1	1	0	x
1	1	1	1	1

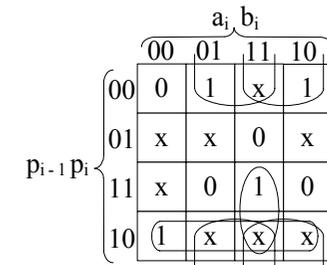


Рисунок 3 - Карта Карно для функции  $s_i$

В табл. 2 против наборов аргументов, являющихся нереальными (например, единичное значение переноса при нулевых значениях всех входных переменных, возникающее из-за допущения, что  $p_i$  – входная независимая величина), поставим неопределённое значение функции  $x$ , которое можно трактовать произвольно.

Карта Карно для функции  $s_i$  показана на рис. 3. Минимизируя данную карту с частично неопределёнными состояниями, получим минимальную дизъюнктивную форму функции  $s_i$

$$s_i = a_i * \bar{p}_i \vee b_i * \bar{p}_i \vee p_{i-1} * \bar{p}_i \vee a_i * b_i * p_{i-1}. \quad (4)$$

На рис. 4, согласно выражениям (3) и (4), реализована схема одноразрядного сумматора.

Так как в схеме выработки  $s_i$  используется инверсное значение переменной  $p_i$ , то в схеме выработки переноса применяется элемент «ИЛИ-НЕ». Для единообразия схемы используем элемент «ИЛИ-НЕ» и в цепи выработки суммы  $s_i$ .

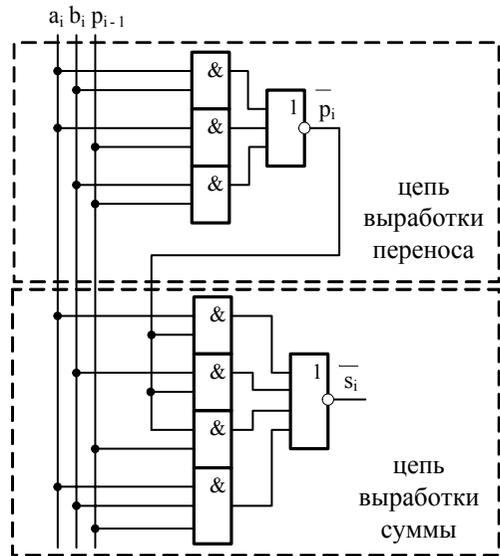


Рисунок 4 - Одноразрядный сумматор с  $Q_s = 13$

Оценим сложность по Квайну данной схемы сумматора.

Цепь переноса аналогична предыдущей схеме, и сложность по Квайну цепи также равна

$$Q_p = 9.$$

В цепи выработки суммы данной схемы используются три двухвходовых элемента «И», один трёхвходовой элемент «И» и один четырёхвходовой элемент «ИЛИ-НЕ», поэтому

$$Q_s = 13.$$

Данная схемная реализация цепи выработки суммы имеет меньшее значение  $Q_s$  по сравнению со схемной реализацией цепи суммы рис. 2.

Сложность по Квайну одноразрядного сумматора рис. 4 равна

$$Q_{sm} = Q_p + Q_s = 9 + 13 = 22.$$

Оценим быстродействие данного сумматора рис. 4. Сумма  $s_i$  будет сформирована вслед за переносом  $p_i$ . Каждая величина будет выработана за время  $2 \cdot t_{зад.лэ}$ . Время суммирования этой схемы будет равно

$$t_{sm} = t_p + t_s = 2 \cdot t_{зад.лэ} + 2 \cdot t_{зад.лэ} = 4 \cdot t_{зад.лэ}.$$

Схемная реализация (рис. 4) данного сумматора приводит к уменьшению сложности по Квайну, но увеличивает время выработки суммы.

### 3. Многоразрядные параллельные сумматоры

#### 3.1 Многоразрядные параллельные сумматоры с последовательным переносом

В параллельном сумматоре с последовательным переносом при сложении чисел  $A$  и  $B$  сигналы переносов распространяются последовательно от младших разрядов к старшим. На рис. 5 приведена схема многоразрядного параллельного сумматора с последовательным переносом.

Оценим быстродействие многоразрядного параллельного сумматора с последовательным переносом.

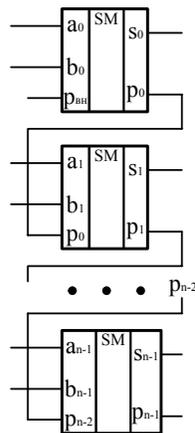


Рисунок 5 - Многоразрядный параллельный сумматор с последовательным переносом

Пусть имеется перенос между всеми разрядами сумматора (например, при сложении чисел  $A = 11\dots11$  и

$B = 00\dots01$ ). Перенос формируется в младшем разряде сумматора и проходит через все остальные разряды. Время формирования переноса в старший  $(n-1)$  разряд сумматора  $t'_{пер}$  составит

$$t'_{пер} = (n-1) \cdot t_p = 2 \cdot (n-1) \cdot t_{зад.лэ},$$

где  $t_p$  – время выработки переноса одного разряда,

$$t_p = 2 \cdot t_{зад.лэ};$$

$n$  – число разрядов слагаемых.

Так как имеются две схемные реализации сумматоров (рис. 2 и рис. 4), то для каждой их них определим время суммирования  $n$  – разрядных чисел.

Для схемы сумматора рис. 2 в старшем разряде одновременно формируются перенос  $p_{n-1}$  и сумма  $s_{n-1}$  за время  $t_{sm} = t_p = t_s = 2 \cdot t_{зад.лэ}$ .

Время сложения  $n$  - разрядных чисел в схеме сумматора рис. 2 составит

$$\begin{aligned} t_{сл} &= t'_{пер} + t_{sm} = (n-1) \cdot t_p + t_{sm} = \\ &= 2 \cdot (n-1) \cdot t_{зад.лэ} + 2 \cdot t_{зад.лэ} = 2 \cdot n \cdot t_{зад.лэ}. \end{aligned}$$

Для схемы сумматора рис. 4 проведём аналогичный анализ времени сложения. В старшем разряде сумма  $s_{n-1}$  будет сформирована вслед за переносом  $p_{n-1}$  за время  $t_{sm} = 4 \cdot t_{зад.лэ}$ .

Тогда длительность сложения  $n$  – разрядных чисел в схемной реализации сумматора рис. 4 составит

$$t_{cl} = t'_{пер} + t_{sm} = (n-1) \cdot t_p + t_{sm} = 2 \cdot (n-1) \cdot t_{зад.лэ} + 4 \cdot t_{зад.лэ} = 2 \cdot (n+1) \cdot t_{зад.лэ}.$$

Таким образом, в многоразрядных параллельных сумматорах с последовательным переносом время сложения зависит от разрядности чисел  $n$  и схемной реализации цепи выработки суммы.

В синхронных сумматорах для выполнения сложения отводится время, длительность которого определяется максимальной длительностью операции сложения.

### 3.2 Многоразрядные параллельные сумматоры с параллельным переносом

Для уменьшения времени формирования переносов используются сумматоры с параллельным переносом.

В сумматорах с параллельным переносом введем функции генерации и передачи переноса. Выражения для них выведем из анализа функции  $p_i$  (3)

$$p_i = a_i * b_i \vee a_i * p_{i-1} \vee b_i * p_{i-1} = a_i * b_i \vee p_{i-1} * (a_i \vee b_i).$$

Первый конъюнктивный терм в выражении равен единице, если  $a_i = b_i = 1$ , тогда перенос из данного

разряда генерируется независимо от переноса из предыдущего разряда в данный. Поэтому функция генерации переноса  $g_i = a_i * b_i$ .

Дизъюнктивный терм в скобках  $(a_i \vee b_i)$  определяет условия, при которых перенос на выходе возникает как следствие поступления в данный разряд входного переноса при единичном значении выражения в скобках. Терм определяет функцию передатчика переноса.

Таким образом, функция передачи переноса

$$h_i = a_i \vee b_i.$$

С помощью введённых функций определим перенос

$$p_i = g_i \vee p_{i-1} * h_i.$$

Согласно этой формуле, для младшего и последующих разрядов можно записать выражения

$$p_0 = g_0 \vee p_{вн} * h_0;$$

$$p_1 = g_1 \vee p_0 * h_1 = g_1 \vee (g_0 \vee p_{вн} * h_0) * h_1 = g_1 \vee g_0 * h_1 \vee p_{вн} * h_0 * h_1;$$

...

$$p_i = g_i \vee g_{i-1} * h_i \vee g_{i-2} * h_{i-1} * h_i \vee \dots \vee g_0 * h_1 * h_2 * \dots * h_i \vee p_{вн} * h_0 * h_1 * \dots * h_i;$$

...

$$p_{n-1} = g_{n-1} \vee g_{n-2} * h_{n-1} \vee g_{n-3} * h_{n-2} * h_{n-1} \vee \dots \vee$$

$$g_0 * h_1 * h_2 * \dots * h_{n-1} \vee p_{вн} * h_0 * h_1 * \dots * h_{n-1};$$

где  $p_{вн}$  – внешний перенос.



формирования переноса разряда в обоих схемах одинакова и равна  $t_{\text{пар}}$ .

С ростом числа разрядов реализация параллельного переноса затрудняется тем, что возникает потребность в элементах с большим числом входов. Для формирования переноса в старшем разряде сумматора нужны элементы с числом входов на единицу больше разрядности сумматора. Коэффициенты объединения конъюнктора и дизъюнктора старшего разряда сумматора будут равны  $(n + 1)$ .

Выработанная в  $i$ -м разряде функция  $h_i$  используется во всех последующих, т.е. в  $n - i$  разрядах, где  $i$  – номер разряда. Каждый сигнал  $h_i$  поступает на  $i$  входов. Коэффициент разветвления схемы передачи переноса  $h_0$  будет равен  $n$ .

Уже при построении восьмиразрядного сумматора потребуются конъюнктор с числом входов 9 и дизъюнктор с коэффициентом разветвления 8, что превышает возможности существующих на данный момент логических элементов.

### **3.3 Многоразрядные параллельные сумматоры с групповой организацией переносов**

Достаточно высокое быстродействие при умеренных затратах оборудования обеспечивается за счёт групповой организации переносов. При этом  $n$  – разрядный сумматор разбивается на  $k$  ( $k = n/m$ ) групп  $m$  – разрядных сумматоров. В группах и между ними могут применяться различные способы организации переносов, причём в наименованиях сумматоров вначале указывается вид переноса внутри группы.

#### **3.3.1 Сумматоры с параллельно – последовательной организацией переноса**

В сумматорах с параллельно – последовательной организацией переноса внутри группы организована выработка параллельного переноса, а между группами – последовательная выработка переноса.

На рис. 7 приведена схема организации параллельно – последовательного переноса для шестиразрядного сумматора, который разбит на две группы трехразрядных сумматоров с параллельным переносом. Между группами осуществлён последовательный перенос. Перенос из

старшего разряда ( $p_2$ ) первой группы является внешним для второй группы.

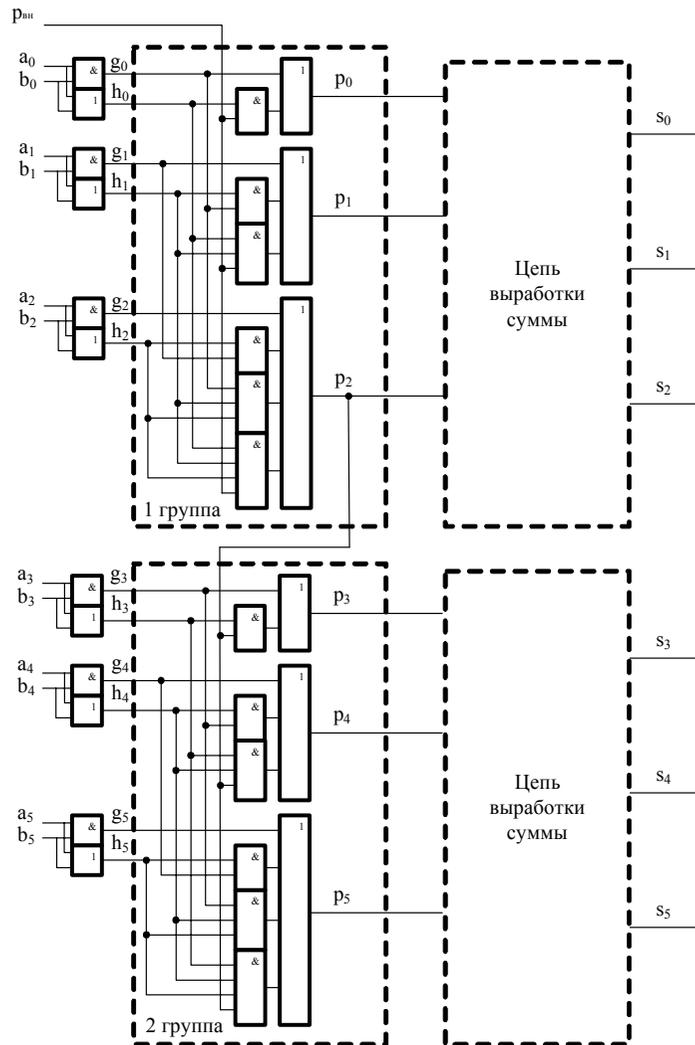


Рисунок 7 - Организация параллельно-последовательного переноса, 2 группы по 3 разряда

Схемная реализация сумматора с параллельно - последовательным переносом кроме цепи выработки переноса содержит также цепи выработки суммы.

Если имеется  $k$  групп, то перенос из старшего разряда сумматора с параллельно-последовательным переносом выработается после прохождения  $k$  групп.

Длительность операции сложения в сумматоре с параллельно – последовательной организацией переноса составляет

$$t_{cl} = t_{gh} + k \cdot t_{пер.гр} + t_s,$$

где  $t_{gh}$  – время выработки функций генерации и передачи переноса;

$t_{пер.гр}$  – время выработки переноса в одной группе,

$t_{пер.гр} = t_{пар}$ ;

$t_s$  – время выработки суммы;

$k$  – число групп.

#### 4. Методические указания

Выполнение индивидуального задания провести следующим образом.

1. Разработать схемную реализацию одного разряда сумматора для заданных параметров индивидуального задания:

а) выбрать вариант схемной реализации цепи выработки суммы;

б) определить сложность схемной реализации цепи переноса -  $Q_p$  ;

в) определить сложность схемной реализации цепи суммы -  $Q_s$  (для всех последующих схем данный параметр будет константой);

г) определить быстродействие цепи выработки переноса одного разряда -  $t_p$  ;

д) определить быстродействие цепи выработки суммы одного разряда -  $t_s$  (для всех последующих схем данный параметр будет константой).

2. Разработать схемную реализацию  $n$  – разрядного сумматора с последовательным переносом:

а) определить сложность схемной реализации цепи выработки переноса  $n$  – разрядного сумматора;

б) определить сложность схемной реализации цепи выработки суммы  $n$  – разрядного сумматора -  $Q_{sn}$ ;

в) определить сложность схемной реализации  $n$  – разрядного сумматора –  $Q_{smn}$  ;

г) определить время формирования переноса в старший разряд сумматора -  $t'_{пер}$  ;

д) определить время формирования суммы в старшем разряде сумматора -  $t_s$  ;

е) определить время сложения  $n$ –разрядных чисел –  $t_{сл}$ .

3. Разработать схемную реализацию  $n$  – разрядного сумматора с параллельным переносом:

а) написать формульные выражения для  $n$  переносов;

б) определить сложность выработки функций генерации и передачи переноса -  $Q_{gh}$ ;

в) определить сложность каждого переноса  $n$  – разрядного сумматора -  $Q_{pi}$ ;

г) определить сложность цепи переноса  $n$  – разрядного сумматора;

д) определить сложность  $n$  – разрядного сумматора с параллельным переносом  $Q_{smn}$  (учесть сложность цепи выработки суммы -  $Q_{sn}$ );

е) определить время формирования функций генерации и передачи переноса  $t_{gh}$  ;

ж) определить время формирования параллельного переноса  $t_{\text{пар}}$  (без учёта времени формирования функций генерации и передачи переноса);

з) определить время сложения  $n$  – разрядных чисел (учесть время выработки суммы старшего разряда) -  $t_{\text{сл}}$ .

4. Для групповых схем переносов определить:

а) количество групп –  $k_1$  и  $k_2$ ;

б) число разрядов в группе  $m_1$  и  $m_2$ ,  $n = k_1 * m_1 = k_2 * m_2$ .

5. Для параллельно - последовательного переноса разработать:

а) схемную реализацию межгруппового переноса для параметров  $m_1$  и  $m_2$ ;

б) определить сложность цепи переноса для параметров  $k_1$  и  $k_2$  (без учёта сложности функций генерации и передачи переноса);

в) определить сложность схемной реализации  $n$  – разрядного сумматора (учесть сложность цепи межгруппового переноса, сложность функций генерации и передачи переноса, сложность цепи выработки суммы) -  $Q_{\text{smn}}$ ;

г) определить время формирования переноса в группе;

д) определить время формирования переноса для старшей группы;

е) определить время сложения  $n$  – разрядных чисел (учесть время формирования переноса для старшей группы, время выработки суммы старшего разряда) -  $t_{\text{сл}}$ .

## 5. Содержание отчета

1. Титульный лист.
2. Словесная постановка задачи.
3. Схемная реализация, расчёты сложности и быстродействия одноразрядного сумматора.
4. Схемная реализация, расчёты сложности и быстродействия  $n$  - разрядного параллельного сумматора с последовательным переносом.
5. Схемная реализация, расчёты сложности и быстродействия  $n$  - разрядного параллельного сумматора с параллельным переносом.
6. Схемная реализация, расчёты сложности и быстродействия  $n$  - разрядного параллельного сумматора с параллельно - последовательным переносом.
7. Составить таблицу оценки сложности и быстродействия для всех видов организации переноса. Таблицу оформить в следующем виде:

Вид переноса $n$ – разрядного параллельного сумматора		Сложность	Быстродействие
Последовательный перенос			
Параллельный перенос			
Параллельно – последовательный перенос	$k_1 * m_1$		
	$k_2 * m_2$		

## 6. Список литературы

1. Базарова С. Б-М. Сумматоры: Методические указания к лабораторной работе: Издательство ВСГТУ – 1999.
2. Каган Б.М. Электронные вычислительные машины и системы: Учеб. пособие для вузов. - 2-е изд., перераб. и доп.-М.: Энергоатомиздат.-1985.
3. Майоров С. А., Новиков Г. И. Принципы организации цифровых машин.-Л.:Машиностроение.-1974.
4. Угрюмов Е. П. Проектирование элементов и узлов ЭВМ. Учеб. пособие для спец. ЭВМ вузов.- М.: Высшая школа.- 1986.

## Содержание

1. Цель работы.....	3
2. Классификация сумматоров.....	3
2.1 Полусумматоры.....	6
2.2 Одноразрядные сумматоры.....	6
3. Многоразрядные параллельные сумматоры.....	13
3.1 Многоразрядные параллельные сумматоры с последовательным переносом.....	13
3.2 Многоразрядные параллельные сумматоры с параллельным переносом.....	15
3.3 Многоразрядные параллельные сумматоры с групповой организацией переносов.....	20
3.3.1 Сумматоры с параллельно – последова - тельной организацией переноса.....	20
4. Методические указания.....	23
5. Содержание отчета.....	27
6. Список литературы.....	28

## СУММАТОРЫ

### Методические указания к лабораторной работе

Авторы - Базарова С. Б-М., Мантатов Б.В.

Рецензент - Хаптаев А.П.

Подписано в печать 7.11.2006 г. Формат 60x84 1/16.

Усл. п.л. 1,86, уч.-изд.л. 1,5. Тираж 150 экз. Заказ 283.

Издательство ВСГТУ. г. Улан-Удэ, ул. Ключевская, 40а

© ВСГТУ, 2006 г.